

#2

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 43 813.7

Anmeldetag: 20. September 2002

Anmelder/Inhaber: ROBERT BOSCH GMBH, Stuttgart/DE

Bezeichnung: Halbleiteranordnung und Verfahren zu
ihrer Herstellung

IPC: H 01 L 29/861

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der
ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 1. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Jerofsky

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

R. 303472

5 29. August 2002

ROBERT BOSCH GMBH

Halbleiteranordnung und Verfahren zu ihrer Herstellung

Stand der Technik

15

Die Erfindung betrifft eine Halbleiteranordnung nach dem Oberbegriff der Ansprüche 1, 12 13, sowie ein Verfahren zu ihrer Herstellung nach dem Oberbegriff des Anspruchs 14.

20

Aus DE 4320780 A1 ist eine Halbleiterdiode bekannt, bei der das Dotierprofil an den Rändern der Diode von dem Dotierprofil in der Mitte abweicht. Damit lässt sich erreichen, dass bei Betrieb in Sperrrichtung der Spannungsdurchbruch, der bei der Durchbruchsspannung UZ einsetzt, nur im mittleren Teil der Diode und nicht am Rande auftritt. Dies hat eine hohe Robustheit im Betrieb zur Folge, da an den Chiprändern kein Lawinendurchbruch auftreten kann.

25

Aus DE 43 20 780 A1 ist weiter eine Halbleiteranordnung mit einem pn-Übergang, insbesondere eine Diode, bekannt, die als Chip mit einem Randbereich ausgebildet ist, die aus einer ersten Schicht eines ersten Leitfähigkeitstyps und einer zweiten Schicht des entgegengesetzten Leitfähigkeitstyps aufgebaut ist, wobei die zweite Schicht aus mindestens zwei Teilschichten besteht. Die erste

30

Teilschicht weist dabei eine erste Dotierstoffkonzentration auf, während die zweite Teilschicht eine zweite Dotierstoffkonzentration aufweist, die geringer als die erste Dotierstoffkonzentration ist. Beide Teilschichten bilden mit der ersten Schicht einen pn-Übergang, wobei der pn-Übergang der ersten Schicht mit der ersten Teilschicht ausschließlich im Inneren des Chips und der pn-Übergang zwischen der ersten Schicht und der zweiten Teilschicht im Randbereich des Chips ausgebildet sind.

Vorteile der Erfindung

Die bekannte Halbleiteranordnung zeichnet sich zwar durch eine hohe Robustheit im Betrieb aus, da durch die besondere Ausgestaltung des Dotierprofils im Randbereich bei Betrieb der Halbleiteranordnung in Sperrrichtung kein Spannungsdurchbruch im Randbereich auftritt. Nachteilig ist jedoch, dass die bekannte Halbleiteranordnung infolge ihrer niedrig dotierten Mittelschicht einen relativ hohen elektrischen Widerstand aufweist. Dieser hohe elektrische Widerstand verursacht einen unerwünschten Spannungsabfall, der sich insbesondere im Durchbruchsbetrieb störend auswirkt. Dies ist umso ausgeprägter, je höher die Durchbruchsspannung U_Z der Halbleiteranordnung ist. Deshalb ist die bekannte Halbleiteranordnung für höhere Durchbruchsspannungen, die beispielsweise für den Einsatz im 42 Volt Bordnetz benötigt werden, nicht geeignet. Die erfindungsgemäße Halbleiteranordnung vermeidet diesen Nachteil durch ihren besonderen Schichtaufbau. Sie eignet sich daher vorzüglich für den Einsatz in Bordnetzen, die mit einer höheren Spannung als 24 Volt arbeiten. Weiterhin zeichnet sich die erfindungsgemäße Halbleiteranordnung durch einen geringeren Sperrstrom, ein robusteres Verhalten bei Temperaturwechseln, sowie eine höhere Impulsfestigkeit aus. Der geringere Sperrstrom und die höhere Impulsfestigkeit ist darauf zurückzuführen, dass sich bei der erfindungsgemäßen Halbleiteranordnung die Raumladungszone am Randbereich der Halbleiteranordnung 10 weiter ausdehnt als in deren mittleren

Bereich, wodurch die elektrische Feldstärke an der Oberfläche des Randbereichs herabgesetzt ist. In Folge der geringen Sperrströme kann gegebenenfalls auch auf ein Entfernen der Damagezone, beispielsweise durch Ätzen, verzichtet werden.

5 Zeichnung

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und werden in der nachfolgenden Beschreibung näher erläutert. Dabei zeigt Figur 1 eine bekannte Halbleiteranordnung in einer schematischen Schnittdarstellung, Figur 2 ein erstes Ausführungsbeispiel einer erfindungsgemässen Halbleiteranordnung in einer schematischen Schnittdarstellung, Figur 3 ein zweites Ausführungsbeispiel einer erfindungsgemässen Halbleiteranordnung, Figur 4 (Figur 4a, Figur 4b) einen Vergleich der Sägegrabengeometrie zwischen einer bekannten (Figur 4a) und der erfindungsgemässen (Figur 4b) Halbleiteranordnung im Ausschnitt in einer Schnittdarstellung, Figur 5 in einem Diagramm die schematische Darstellung der Dotierprofile von bekannter und erfindungsgemässer Halbleiteranordnung im Vergleich entlang Schnitt AB, Figur 6 ein weiteres Ausführungsbeispiel der Erfindung, bei dem aneinander grenzende Schichten der Halbleiteranordnung aus dem gleichen Dotierungstyp sind.

20 Beschreibung der Ausführungsbeispiele.

Figur 1 zeigt zunächst eine bekannte Halbleiteranordnung 10, die aus mehreren unterschiedlich dotierten Schichten 1, 2, 3, 4 besteht. Dabei sind die Schichten 1, 2, 4 mit unterschiedlicher Konzentration n-dotiert, während es sich bei der Schicht 3 um eine p-dotierte Schicht handelt. Die äußeren Oberflächen der Schichten 3 und 4 sind mit Kontaktschichten 5, 6 aus Metall belegt. Bei dieser Halbleiteranordnung 10 handelt es sich beispielsweise um eine Diode. Die p-dotierte Schicht 3 bildet mit den n-dotierten Schichten 1, 2 einen pn-Übergang. Da sich die höher n-dotierte Schicht 2 im wesentlichen nur in der Mitte der

Halbleiteranordnung befindet, unterscheidet sich das Dotierprofil an den Rändern der Diode von dem Dotierprofil in dem mittleren Bereich der Diode. Bei Betrieb der Diode in Sperrrichtung tritt daher bei einer Durchbruchsspannung U_Z ein Spannungsdurchbruch im Wesentlichen nur im mittleren Bereich der Diode und nicht in ihrem Randbereich auf. Dies hat zwar eine hohe Robustheit im Betrieb zur Folge, da im Randbereich der Diode kein Lawinendurchbruch auftreten kann. Besonders nachteilig für Anwendungen der Diode bei höheren Spannungen ist jedoch, dass die Diode infolge der niedrig n-dotierten Schicht 1 einen vergleichsweise hohen elektrischen Widerstand aufweist. Dieser Widerstand verursacht einen unerwünschten Spannungsabfall, der sich vor allem im Durchbruchsbetrieb störend auswirkt. Dies ist umso ausgeprägter, je höher die Durchbruchsspannung U_Z der Diode ist. Deshalb ist eine derartige herkömmliche Diode für höhere Durchbruchsspannungen, wie sie zum Beispiel für den Einsatz in Bordnetzen mit 42 V Betriebsspannung benötigt werden, nicht geeignet. Die vorgeschlagene Erfindung beseitigt diesen Nachteil.

Figur 2 zeigt als erstes Ausführungsbeispiel der Erfindung in einer schematischen Schnittdarstellung eine aus mehreren Teilschichten unterschiedlicher Dotierung bestehende Halbleiteranordnung 20. Ausgegangen wird von einem schwach n-dotierten Halbleitersubstrat, das eine erste Teilschicht 1 bildet. Im mittleren Bereich dieses Halbleitersubstrats ist von der Oberseite her eine zweite n-dotierte Teilschicht 2 eingebracht, die sich jedoch nicht bis in die Randbereiche der Teilschicht 1 erstreckt. Ebenfalls von der Oberseite aus erstreckt sich eine dritte p-dotierte Teilschicht 3 bis an die n-dotierte Teilschicht 2 im mittleren Bereich und bis an die n-dotierte Teilschicht 1 im Randbereich der Halbleiteranordnung 20. Die Grenzbereiche zwischen den Teilschichten 3 und 2, beziehungsweise 3 und 1 bilden die pn-Übergänge. Mit 5 und 6 sind metallische Kontaktschichten bezeichnet, die auf die äußeren Oberflächen der Teilschichten 3 und 4 aufgebracht sind. Da die n-Dotierungskonzentration der Teilschicht 2 größer ist als die n-Dotierungskonzentration der Teilschicht 1, ist die Durchbruchsspannung U_{ZM}

des im mittleren Bereich der Halbleiteranordnung 20 zwischen den Teilschichten 3 und 2 liegenden pn-Übergangs 3-2 kleiner als die Durchbruchsspannung UZR des im Randbereich der Halbleiteranordnung 20 liegenden pn-Übergangs 3-1 zwischen den Teilschichten 3 und 1. Somit ist hier sichergestellt, dass ein Durchbruch auch bei der erfindungsgemäßen Halbleiteranordnung nur im mittleren Bereich der Halbleiteranordnung 20 und nicht an deren Randbereich erfolgen kann. Infolge der Ladungsneutralität dehnt sich die Raumladungszone in dem Randbereich der Halbleiteranordnung 20 weiter aus als in deren mittleren Bereich. Dies hat zur Folge, dass die elektrische Feldstärke an der Oberfläche des Randbereichs der Halbleiteranordnung 20 herabgesetzt ist. Daraus ergeben sich in vorteilhafter Weise ein geringerer Sperrstrom und eine höhere Impulsfestigkeit. In Folge des geringen Sperrstroms kann gegebenenfalls in vorteilhafter Weise auch auf ein Entfernen der Damagezone, beispielsweise durch einen zusätzlichen Ätzzvorgang, verzichtet werden. Von der Rückseite der Halbleiteranordnung 20 her dehnt sich eine stark n-dotierte weitere Teilschicht 4 bis an n-dotierte Teilschicht 2 und die schwach n-dotierte Teilschicht 1 aus. Im Gegensatz zu der in Figur 1 dargestellten herkömmlichen Halbleiteranordnung 10 verbleibt zwischen den jeweils n-dotierten Teilschichten 3 und 4 nur in einem schmalen Randbereich eine schwach n-dotierte Teilschicht 1. Im mittleren Bereich der Halbleiteranordnung 20 ist daher die n-Dotierkonzentration höher als die Grunddotierung der ersten Teilschicht 1 der Halbleiteranordnung. Durch das erfindungsgemäße Vermeiden einer schwach n-dotierten Teilschicht 1 zwischen den Teilschichten 3 und 4 bei der Halbleiteranordnung 20 wird ein deutlich geringerer Bahnwiderstand als bei einer herkömmlichen Halbleiteranordnung erzielt. Im Falle eines Durchbruchs ergibt sich daraus, in vorteilhafter Weise, ein geringerer Spannungsabfall.

Ein weiteres Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung ist in einer schematischen Querschnittsdarstellung in Figur 3 dargestellt. Diese Halbleiteranordnung 30 weist, im Unterschied zu der in Figur 2 dargestellten Halbleiteranordnung 20, in ihrem Randbereich keine Vertiefung auf. Dies

ermöglicht, bei gleicher Gesamtdicke der Halbleiteranordnungen 20, 30, das Erreichen einer noch höheren Durchbruchsspannung UZR am Randbereich der Halbleiteranordnung 30 mit allen sich daraus ergebenden Vorteilen, wie geringer Sperrstrom und höhere Impulsfestigkeit.

5

Ein weiteres Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung ist in Figur 6 dargestellt. Im Unterschied zu den Halbleiteranordnungen 20 und 30 in Figur 2 und Figur 3, besteht die Teilschicht 2 aus demselben Dotierungstyp wie die Teilschicht 3.

Weiterhin sind Ausführungsbeispiele denkbar, bei denen das Ausgangsmaterial der Teilschicht 1 nicht homogen dotiert ist. Diese Teilschicht 1 wird vielmehr als Epitaxieschicht auf einer bereits hochdotierten Teilschicht 4 aufgebracht.

15 Im Folgenden wird, unter Bezug auf Figur 2, ein besonders vorteilhaftes Herstellungsverfahren zur Herstellung einer Halbleiteranordnung mit dem in Figur 2 dargestellten Schichtaufbau beschrieben. Als Beispiel wird die Herstellung einer Diode mit einer Zener-Spannung UZ von circa 50 Volt beschrieben.

20 Selbstverständlich können mit dem erfindungsgemäßen Verfahren auch Dioden hergestellt werden, die für größere oder kleinere Zener-Spannungen ausgelegt sind. So kann beispielsweise durch eine einfache Variation des Dotierungsprofils eine Zener-Spannung von etwa 20 Volt realisiert werden. Ausgegangen wird von einem aus Silizium bestehenden Halbleitersubstrat mit einer Dicke von rund 180 µm und einer n-Dotierung von circa $1 \cdot 10^{16} \text{ cm}^{-3}$, das die erste Teilschicht 1 der Halbleiteranordnung 20 bildet. Diese Teilschicht 1 wird auf der Ober- und Unterseite mit Phosphor dotiert. Dies kann auf vorteilhafte Weise mittels Ionenimplantation, Dotiergläsern, Dotierfolien, oder, besonders zweckmäßig, mittels einem als APCVD-Verfahren (Atmospheric Pressure Chemical Vapour Deposition) bezeichneten Verfahren erfolgen. Besonders einfach und wirtschaftlich kann die Dotierung der Teilschicht 1 mit Phosphoratomen auch in einer Gasphase erfolgen. Dazu wird die

25

30

Teilschicht 1 bei einer erhöhten Temperatur einer Atmosphäre von POCl_3 ausgesetzt. Dafür eignen sich Temperaturen etwa zwischen 830°C und 890°C , insbesondere eine Temperatur von 870°C . Nach dem Dotiervorgang werden die auf dem Halbleitersubstrat verbliebenen Glasschichten durch einen Ätzvorgang mittels verdünnter Flusssäure entfernt. Werden für das Dotieren Dotiergläser verwendet, so folgt nach dem Abscheiden der dotierten Gläser ein sogenannter Eintreibschritt, um die Dotieratome in das zu dotierende Halbleitersubstrat, also die erste Teilschicht 1, einzutreiben. Als besonders günstig hat sich ein Eintreibschritt von 20 bis 40 Minuten, insbesondere 30 Minuten erwiesen. Dieser Eintreibschritt wird zweckmäßig bei einer erhöhten Temperatur von etwa 1200 bis 1300, insbesondere von 1265°C , durchgeführt. Nach diesem Dotierungsschritt beträgt das Integral über die Konzentration von Phosphoratomen, die Dosis, auf jeder dotierten Seite der ersten Teilschicht 1 etwa $2 \cdot 10^{16} \text{ cm}^{-2}$. Die Eindringtiefe der Phosphoratome in das n-dotierte Halbleitermaterial der ersten Teilschicht 1 beträgt ungefähr 5-15 Mikrometer. Im Falle einer PoCl_3 -Gasphasenbelegung weniger als etwa 1 Mikrometer. Anschließend wird die Oberseite der dotierten ersten Teilschicht 1 strukturiert. Dies kann in besonders vorteilhafter Weise durch Sägeschnitte in die Oberseite mittels einer Diamantsäge oder wasserunterstütztes Laserschneiden erfolgen. Die Sägetiefe ST (Figur 4) beträgt etwa 1-35 Mikrometer. Im Regelfall wird die Sägetiefe ST zweckmäßig derart gewählt, dass sie größer ist als die Eindringtiefe der Phosphoratome in die Oberfläche der Teilschicht 1. Durch die geeignete Wahl der Sägetiefe ST kann die laterale Ausdiffusion der Phosphorschicht, beziehungsweise die Phosphorkonzentration und damit die Durchbruchfeldstärke im Randbereich der Halbleiteranordnung 20, bei dem anschließenden Diffusionsvorgang maßgeblich beeinflusst werden. Die Breite SB des verwendeten Sägeblatts richtet sich auch nach der gewünschten Sägetiefe und dem anschließenden Diffusionsprozess. Typisch sind Sägebreiten SB (Figur 1,2, 4b, 6) in der Größenordnung von ca. 300 Mikrometer. Nach diesem mechanischen Strukturierungsprozess findet ein weiterer Diffusionsprozess statt, bei dem die n-Dotierstoffe in das Halbleitersubstrat eingetrieben werden. Dieses Eintreiben findet bevorzugt in einer oxidierenden Atmosphäre, zweckmäßig in trockenem oder auch

nassem Sauerstoff statt. Als Abwandlung ist auch die Diffusion in einer Atmosphäre aus reinem Stickstoff oder einem Stickstoff- Sauerstoffgemisch möglich. Auch dieser Diffusionsvorgang wird bei einer hohen Temperatur zwischen 1200 und 1300 C, insbesondere bei einer Temperatur von 1265 C durchgeführt. Dieser Temperatur wird das Halbleitersubstrat für etwa 140 Stunden ausgesetzt. Während des Diffusionsvorgangs ist das Halbleitersubstrat auf einem geeigneten Träger angeordnet, der vorzugsweise aus SiC oder einem ähnlich temperaturfesten Material besteht. Nach dem zuvor beschriebenen Diffusionsvorgang wird die dabei auf der Oberfläche des Halbleitersubstrats entstandene Schicht aus SiO₂ wieder abgeätzt. Um die Effizienz des Verfahrens zu steigern, können grundsätzlich auch mehrere Halbleitersubstrate zu einem Stapel aufgeschichtet und gemeinsam dem Diffusionsprozess ausgesetzt werden. Zwischen die einzelnen Halbleitersubstrate werden dabei zweckmäßig sogenannte Neutralfolien (neutral preforms) angeordnet. Diese Neutralfolien enthalten Trennmittel, wie beispielsweise Körner aus SiC oder Al₂O₃, und verhindern so ein Zusammenkleben der Halbleitersubstrate. Nach erfolgreicher Beendigung des Diffusionsprozesses werden die einzelnen Halbleitersubstrate mittels verdünnter Flusssäure wieder voneinander getrennt. In einem anschließenden weiteren Diffusionsprozess wird nun eine weitere Teilschicht 3 eingebracht, die p-dotiert ist. Gleichzeitig soll die Konzentration der Dotieratome in der Teilschicht 4 noch weiter erhöht werden. Grundsätzlich sind dafür alle dem Fachmann geläufigen Dotierverfahren geeignet. Besonders vorteilhaft ist jedoch die Verwendung sogenannter Dotierfolien. Dabei werden abwechselnd p- und n-Dotierfolien zusammen mit den Halbleitersubstraten wiederum zu Stapeln geschichtet und zusammen erhitzt. Dieser Prozessschritt nimmt etwa eine Zeit von 30 Stunden bei einer Temperatur von 1265 °C in Anspruch. Besonders vorteilhaft bei dieser Verfahrensdurchführung ist dabei, dass die Teilschichten 3 und 4 gemeinsam in einem einzigen Diffusionsschritt erzeugt werden können. Wie oben schon beschrieben, werden nach Beendigung dieses Diffusionsschrittes die einzelnen Halbleitersubstrate mittels verdünnter Flusssäure wieder voneinander getrennt.

5

15

20

25

30

Das Diffusionsprofil im mittleren Bereich (vergleiche Schnitt AB in Figur 2) einer auf die zuvor beschriebene Weise hergestellten Diode ist in dem Diagramm in Figur 5 (Kurvenverlauf II) dargestellt. Dieses Diagramm zeigt die Dotierkonzentration in Abhängigkeit von dem Abstand x . Als Besonderheit lässt sich hervorheben, dass die minimale Dotierkonzentration bei dieser Diode größer ist als die Grunddotierung des Halbleitersubstrats, also der Dotierung der ersten Teilschicht 1 in Figur 2 oder 3.

Im Gegensatz zu der herkömmlichen Struktur einer Halbleiteranordnung nach Figur 1, bei der das Einsägen erst nach der Diffusion der n-dotierten Teilschicht 2 erfolgt, kann bei der erfindungsgemäßen Lösung die Sägetiefe ST geringer gewählt werden als bei der herkömmlichen Halbleiteranordnung. Da deshalb der noch verbleibende Anteil der ersten Teilschicht 1 größer ist als bei der herkömmlichen Lösung, können im Randbereich der erfindungsgemäßen Halbleiterstruktur höhere Durchbruchsspannungen UZR erzielt werden. Wenn die Sägetiefe ST , wie bei der herkömmlichen Halbleiterstruktur, nicht klein genug gewählt werden kann, weil das Einsägen erst nach der ersten Diffusionsbehandlung der n-dotierten Teilschicht 2 erfolgt, diffundiert die p-dotierte dritte Teilschicht 3 mit der n-dotierten Teilschicht 4 im Randbereich der Halbleiteranordnung zusammen. Dies vermindert jedoch die Durchbruchsspannung UZR stark.

In einer weiteren alternativen Ausgestaltung des erfindungsgemäßen Verfahrens kann die zuvor beschriebene gemeinsame Diffusion der p-dotierten Teilschicht 3 und der n-dotierten Teilschicht 4 auch in zwei Teilschritte aufgespalten werden. Dabei werden in dem ersten Teilschritt zunächst die Dotierstoffe eingebracht und in einem zweiten Teilschritt dann weiter eingetrieben. Wiederum können dabei die oben schon beschriebenen Dotier- und Diffusionsverfahren eingesetzt werden. Insbesondere können die Stapeldiffusion und die Diffusion in Trägern (boots) oder eine Kombination von beiden Verfahren angewendet werden.

Anschließend wird das Halbleitersubstrat auf seiner Oberseite und seiner Unterseite mit je einer Kontaktschicht 5, 6 aus Metall versehen (Figur 2).

Vorzugsweise wird dabei allerdings eine komplexe Schichtenfolge aus mehreren Metallen aufgebracht. Beispielsweise eignet sich die Kombination Chrom, Nickel, Silber besonders gut.

Nach der Metallisierung der Kontaktbereiche der Halbleitersubstrate werden die einzelnen Halbleiteranordnungen, in dem beschriebenen Ausführungsbeispiel also Dioden, zum Beispiel durch Sägen mit einer Diamantsäge voneinander getrennt. Üblich sind dabei Sägeblätter mit einer Breite von 40 Mikrometer. Durch diesen Sägevorgang erhält man einzelne Dioden, die üblicherweise noch mit einem Gehäuse versehen werden. Die Diode wird in das Gehäuse eingelötet und durch dieses geschützt.

Das Trennen der Halbleitersubstrate mittels einer Diamantsäge, kann, bei ungünstigen Sägebedingungen, die beispielsweise von der Körnung der Diamantsplitter der Säge, der Drehzahl und dem Vorschub abhängig sind, gestörte Kristallzonen im Randbereich der Halbleiteranordnung 20, 30, 60 hervorrufen.

Diese gestörten Kristallzonen wiederum geben Anlass zu unerwünschten zusätzlichen Sperrströmen bei dem Betrieb der Halbleiteranordnung.

Üblicherweise werden daher die gestörten Kristallzonen in einem zusätzlichen Verfahrensschritt, beispielsweise durch Ätzen, entfernt. Bei der erfindungsgemäßen Halbleiteranordnung 20, 30, 60 ist aber die

Durchbruchsspannung UZR im Randbereich der Halbleiteranordnung deutlich höher als bei einer herkömmlichen Halbleiteranordnung, wie beispielsweise jener nach Figur 1. Daher ist auch das Verhältnis von Durchbruchsspannung UZR am Randbereich der Halbleiteranordnung zu der Durchbruchsspannung UZM im mittleren Bereich der Halbleiteranordnung wesentlich höher. Dies hat zur Folge, dass bei der erfindungsgemäß ausgebildeten Halbleiteranordnung der von den

eventuell gestörten Randbereichen stammende Sperrstrom wesentlich geringer ist. Auf das Entfernen der gestörten Kristallzonen (Damagezonen) im Randbereich der erfindungsgemäßen Halbleiteranordnung kann daher in den meisten Fällen auch verzichtet werden. Dies führt zu einer Vereinfachung des
5 Herstellungsverfahrens und damit zu einer weiteren Kostensenkung.

Werden die gestörten Randbereiche aber doch entfernt, was im Folgenden beschrieben wird, lässt sich ein noch wesentlich geringerer Sperrstrom erreichen. Für die Entfernung der gestörten Randbereiche der Halbleiteranordnung bieten sich nasschemische Ätzverfahren unter Verwendung von KOH, Gasphasenätzen, oder ähnliche Verfahren an. Da im Gegensatz zu herkömmlichen Halbleiteranordnungen nur sehr flache Sägegräben notwendig sind, bietet sich
15 aber insbesondere ein nasschemisches Ätzverfahren unter Verwendung von KOH oder einer vergleichbaren Ätzlösung an. Bei einer herkömmlichen Halbleiteranordnung nach Figur 1 ist der erforderliche Sägegraben besonders tief und schmal. Beispielsweise beträgt das Verhältnis von Sägebreite SB zu Sägetiefe ST 2,5. Bei der erfindungsgemäßen Halbleiteranordnung 20 nach Figur 2 dagegen, beträgt das Verhältnis von Sägebreite SB zu Sägetiefe ST beispielsweise 15. Diese
20 Verhältnisse sind in Figur 4, mit den Teilfiguren Figur 4a und Figur 4b zeichnerisch dargestellt. In beiden Figuren ist jeweils ein vergrößerter Ausschnitt aus einem Kantenbereich einer Halbleiteranordnung im Querschnitt dargestellt. Das Halbleitersubstrat ist mit 7 bezeichnet. Mit Bezugsziffer 8 ist eine Lotschicht bezeichnet. Bezugsziffer 9 kennzeichnet eine beispielsweise aus Kupfer bestehende Wärmesenke. Die Sägebreite ist mit der Buchstabenkombination SB, die Sägetiefe mit ST bezeichnet. Eine herkömmliche Halbleiteranordnung ist in
25 Figur 4a dargestellt, während Figur 4b eine erfindungsgemäße Halbleiteranordnung zeigt. Wie Figur 4b deutlich zeigt, füllt bei der erfindungsgemäßen Halbleiteranordnung die Lotschicht 8 den durch Sägebreite SB und Sägetiefe ST gekennzeichneten Sägegraben vollständig aus. Dies bietet
30 den Vorteil, dass bei einer anschließenden nasschemischen Ätzung die

Kontaktschicht 5 oder das darunter liegende Halbleitermaterial im Bereich des Sägegrabens nicht mehr angegriffen werden, weil sie von der Lotschicht 8 vollständig abgedeckt sind. Darüber hinaus bietet ein vollständig mit duktilem Lotmaterial gefüllter Sägegraben den Vorteil, dass das Halbleitersubstrat mechanisch entlastet ist, wenn infolge von Temperaturwechselspannungen Druck- und/oder Scherkräfte auf die Halbleiteranordnung einwirken. Zudem wird die Wärmeableitung aus dem Halbleitersubstrat weiter verbessert. Die vorbeschriebenen Vorteile sind mit der in Figur 4a gezeigten Ausgestaltung einer herkömmlichen Halbleiteranordnung dagegen nicht zu erzielen.

Ein weiteres Ausführungsbeispiel einer erfindungsgemäßen Halbleiteranordnung 30 ist in Figur 3 schematisch in einem Querschnitt dargestellt. Dabei wird auf eine Vertiefung des Halbleitersubstrats im Randbereich völlig verzichtet. Dies ermöglicht, bei gleicher Dicke des Halbleitersubstrats wie bei der Halbleiteranordnung 20 in Figur 2, eine noch höhere Durchbruchsspannung UZR im Randbereich. Dies führt zu weiteren Vorteilen, wie geringer Sperrstrom und höhere Impulsfestigkeit. Strukturaufbau und Herstellungsverfahren sind praktisch identisch wie bei dem oben anhand von Figur 2 beschriebenen Ausführungsbeispiel der Erfindung. Die Strukturierung der n-dotierten Schicht 2 kann aber vorteilhaft auch durch Verfahrensschritte erfolgen, die aus der konventionellen Fotolithografie und Planartechnik bekannt sind. Diese Verfahrensschritte umfassen insbesondere die Schritte thermische Oxidation, Belackung mit Fotolack, Vorhärtung, Belichtung und Aushärten des Fotolacks, Ätzen der Kontaktfenster und Strippen des Fotolacks. Bei hinreichend dicken thermischen Oxidschichten kann die Oxidschicht vorteilhaft auch als Diffusionsbarriere für die in das Halbleitersubstrat einzubringenden Phosphoratome dienen. Bei den verwendeten hohen Diffusionstemperaturen ist eine Dicke der Oxidschicht von 3-5 Mikrometer erforderlich. Die Strukturierung erfolgt auf die Weise, dass im mittleren Bereich des Halbleitersubstrats keine Oxidschicht, an seinem Rand R jedoch eine Oxidschicht verbleibt. Nach diesem Strukturierungsschritt folgen die oben schon beschriebenen Prozessschritte, beginnend mit der Dotierung der n-dotierten Schicht 2.

Ein weiteres Ausführungsbeispiel einer erfindungsgemäßen Halbleiteranordnung 60 ist in Figur 6 schematisch in einem Querschnitt dargestellt. Abweichend von dem Ausführungsbeispiel der Halbleiteranordnung 20 in Figur 2 ist die Teilschicht 2 mit Bor anstatt mit Phosphor dotiert. Im Gegensatz zu der Halbleiteranordnung 20 wird die Sperrspannung U_{ZM} in der Mitte der Halbleiteranordnung von dem Übergang zwischen den Teilschichten 2-4 und nicht von dem Übergang zwischen den Teilschichten 3-2 bestimmt.

Grundsätzlich sind auch Ausführungsbeispiele möglich, bei denen das Ausgangsmaterial 1 nicht homogen dotiert vorliegt, sondern als Epitaxieschicht, die auf einem bereits hochdotierten Substrat 4 aufgebracht ist.

Auch wenn in den Figuren jeweils Halbleiterdioden, insbesondere Zenerdioden, dargestellt sind, lässt sich die erfindungsgemäße Lehre auch auf andere Halbleiteranordnungen, die einen pn-Übergang zwischen einer stark dotierten p- und einer stark dotierten n-Schicht mit einer nachgelagerten, schwächer dotierten n-Schicht übertragen. Ebenso sind Halbleiterbauelemente möglich, bei denen alle p- und n-Schichten miteinander vertauscht sind.

Patentansprüche

5 1. Halbleiteranordnung mit einem pn-Übergang, die als Substrat mit einem
Randbereich ausgebildet ist, die aus einer ersten Schicht(3) eines ersten
Leitfähigkeitstyps und einer zweiten Schicht (1,2,4) des entgegengesetzten
Leitfähigkeitstyps aufgebaut ist, wobei die zweite Schicht (1,2,4) aus mindestens
zwei Teilschichten (1,2) besteht, wobei die erste Teilschicht (2) eine erste
Dotierstoffkonzentration und die zweite Teilschicht (1) eine zweite
Dotierstoffkonzentration aufweist, die geringer als die erste
Dotierstoffkonzentration ist, wobei beide Teilschichten (1,2) mit der ersten
Schicht (3) einen pn-Übergang bilden, wobei der pn-Übergang der ersten Schicht
(3) mit der ersten Teilschicht (2) ausschließlich im Inneren des Chips und der pn-
Übergang zwischen der ersten Schicht (3) und der zweiten Teilschicht (1) im
15 Randbereich des Chips ausgebildet ist, und wobei die zweite Schicht (1,2,4) eine
dritte Teilschicht (4) umfasst, die eine dritte Dotierstoffkonzentration aufweist, die
höher ist als die erste Dotierstoffkonzentration und wesentlich höher als die zweite
Dotierstoffkonzentration, dadurch gekennzeichnet, dass die dritte Teilschicht (4)
über den größten Teil einer Querschnittsfläche (BC) im Inneren der
20 Halbleiteranordnung (20,30,) unmittelbar an die erste Teilschicht (2) und nur in
einem vergleichsweise schmalen Randbereich der Querschnittsfläche (BC) an die
zweite Teilschicht (1) angrenzt.

25 2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, dass sich die
Teilschichten (2, 4) der Halbleiteranordnung (20, 30,60) in einem mittleren
Bereich der Halbleiteranordnung (20, 30,60) wenigstens berühren, vorzugsweise
aber bereichsweise überlappen.

3. Halbleiteranordnung nach einem der Ansprüche 1,2, dadurch gekennzeichnet, dass die Dotierkonzentration in jeder der Teilschichten (2,4) höher ist als die Dotierkonzentration in der das Grundsubstrat bildenden Teilschicht (1).

5 4. Halbleiteranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass in ihrem mittleren Bereich von den Teilschichten (2,3) ein erster pn-Übergang (2-3) zwischen p+- und n+- dotiertem Halbleitersubstrat gebildet ist.

5. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass in ihrem Randbereich von den Teilschichten (1,3) ein zweiter pn-Übergang (1-3) zwischen p+- und n—dotiertem Halbleitersubstrat gebildet ist.

15 6. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass sie in ihrem Randbereich einen breiten, flachen Sägegraben mit einer Sägebreite (SB) und einer Sägetiefe (ST) aufweist, wobei die Sägebreite (SB) größer als 80 Mikrometer, vorzugsweise größer als 100 Mikrometer ist, und wobei das Verhältnis von Sägebreite (SB) zu Sägetiefe (ST) einen Wert > 3 hat.

20 7. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Sägegraben (SB, ST) derart vollständig mit Lotmaterial gefüllt ist, dass die Wandflächen des Sägegrabens mit Lotmaterial bedeckt und durch dieses Lotmaterial geschützt sind.

25 8. Verwendung der Halbleiteranordnung nach einem der vorhergehenden Ansprüche als elektrisches Ventil (Diode).

30 9. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Durchbruchsspannung (UZR) im Randbereich der Halbleiteranordnung (20, 30, 60) wesentlich größer ist als die

Durchbruchsspannung (UZM) in einem mittleren Bereich der Halbleiteranordnung (20,30,60).

5 10. Halbleiteranordnung nach Anspruch 9, dadurch gekennzeichnet, dass die Durchbruchsspannung im Randbereich (UZR) etwa um den Faktor 2 bis 7 größer ist als die Durchbruchsspannung (UZM).

11. Halbleiteranordnung nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass der Bahnwiderstand in einem mittleren Bereich der Halbleiteranordnung (20, 30,60) geringer ist als der Bahnwiderstand in einem Randbereich der Halbleiteranordnung (20, 30,60).

15 12. Halbleiteranordnung mit einem pn-Übergang, die als Substrat mit einem Randbereich ausgebildet ist, die aus einer ersten Schicht(3, 2) eines ersten Leitfähigkeitstyps und einer zweiten Schicht (1,4) des entgegengesetzten Leitfähigkeitstyps aufgebaut ist, wobei die zweite Schicht (1,4) aus mindestens zwei Teilschichten (1,4) besteht, wobei die erste Teilschicht (4) eine erste Dotierstoffkonzentration und die zweite Teilschicht (1) eine zweite Dotierstoffkonzentration aufweist, die geringer als die erste Dotierstoffkonzentration ist, wobei beide Teilschichten (1,4) mit der ersten Schicht (3, 2) einen pn-Übergang bilden, wobei der pn-Übergang der ersten Schicht (2) mit der Teilschicht (4) ausschließlich im Inneren des Chips und der pn-Übergang zwischen der ersten Schicht (3) und der zweiten Teilschicht (1) im Randbereich des Chips ausgebildet ist, dadurch gekennzeichnet, dass die Schicht (4) über den größten Teil einer Querschnittsfläche (BC) im Inneren der Halbleiteranordnung (60) unmittelbar an die erste Schicht (2) und nur in einem vergleichsweise schmalen Randbereich der Querschnittsfläche (BC) an die zweite Schicht (1) angrenzt.

20

25

13. Halbleiteranordnung mit einem pn-Übergang, die als Substrat mit einem Randbereich ausgebildet ist, die aus einer ersten Schicht (3) eines ersten Leitfähigkeitstyps und einer zweiten Schicht (1,2,4) des entgegengesetzten Leitfähigkeitstyps aufgebaut ist, wobei die zweite Schicht (1,2,4) aus mindestens
5 zwei Teilschichten (1,2) besteht, wobei die erste Teilschicht (2) eine erste Dotierstoffkonzentration und die zweite Teilschicht (1) eine zweite Dotierstoffkonzentration aufweist, die geringer als die erste Dotierstoffkonzentration ist, wobei beide Teilschichten (1,2) mit der ersten Schicht (3) einen pn-Übergang bilden, wobei der pn-Übergang der ersten Schicht (3) mit der ersten Teilschicht (2) ausschließlich im Inneren des Chips und der pn-Übergang zwischen der ersten Schicht (3) und der zweiten Teilschicht (1) im Randbereich des Chips ausgebildet ist, und wobei die zweite Schicht (1,2,4) eine dritte Teilschicht (4) umfasst, die eine dritte Dotierstoffkonzentration aufweist, die höher ist als die erste Dotierstoffkonzentration und wesentlich höher als die zweite
15 Dotierstoffkonzentration, dadurch gekennzeichnet, dass die dritte Teilschicht (4) über den größten Teil einer Querschnittsfläche (BC) im Inneren der Halbleiteranordnung (20,30,) unmittelbar an die erste Teilschicht (2) und nur in einem vergleichsweise schmalen Randbereich der Querschnittsfläche (BC) an die zweite Teilschicht (1) angrenzt.

20 14. Verfahren zur Herstellung einer Halbleiteranordnung nach einem der Ansprüche 1 bis 13, gekennzeichnet durch folgende Verfahrensschritte:

- Herstellen einer ersten Teilschicht (1) einer Halbleiteranordnung (20, 30) bildenden Halbleitersubstrats eines ersten Leitfähigkeitstyps,
- 25 - beidseitiges Dotieren der ersten Teilschicht (1) zur Bildung von zwei weiteren Teilschichten (2,4) des gleichen Leitfähigkeitstyps wie die erste Teilschicht (1) aber mit unterschiedlichen Dotierungsgraden, derart, dass sich die beiden Teilschichten höchstens in einem mittleren Bereich der Halbleiteranordnung (20,30) berühren oder überlappen,

- Erzeugung einer vierten Teilschicht (3) eines entgegengesetzten Leitungstyps durch Einbringen eines Dotierstoffes in die Teilschichten (1,2), sowie Erhöhung der Dotierkonzentration von Teilschicht (4),
- Bedecken der äußeren Oberflächen der Teilschichten (3,4) mit metallischen Kontaktschichten (5,6).

5

15. Halbleiteranordnung nach einem der Ansprüche 1 bis 13, gekennzeichnet durch die Vertauschung der p- beziehungsweise n-dotierten Schichten.

Zusammenfassung

5 Bei einer aus mehreren Teilschichten 1,2,3,4 bestehenden Halbleiteranordnung 20 grenzt eine Teilschicht 4 über den größten Teil einer Querschnittsfläche BC im Inneren der Halbleiteranordnung 20 unmittelbar an eine erste Teilschicht 2 und nur in einem vergleichsweise schmalen Randbereich der Querschnittsfläche BC an eine zweite Teilschicht 1. Die Halbleiteranordnung zeichnet sich durch einen geringen Bahnwiderstand und eine hohe Durchbruchsspannung im Randbereich aus. Weiter wird ein Verfahren zur Herstellung dieser Halbleiteranordnung angegeben.

(Figur 2)

1/4

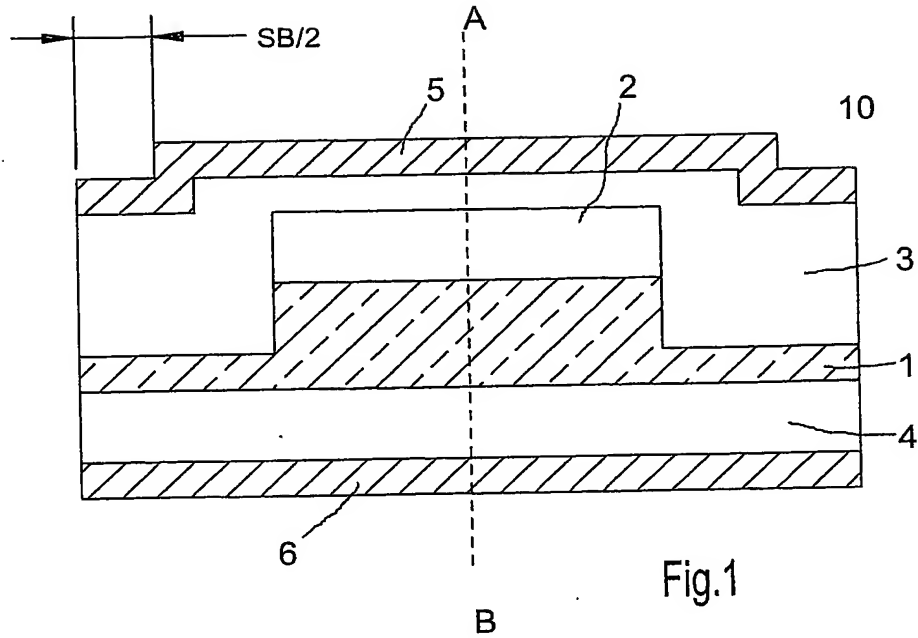


Fig.1

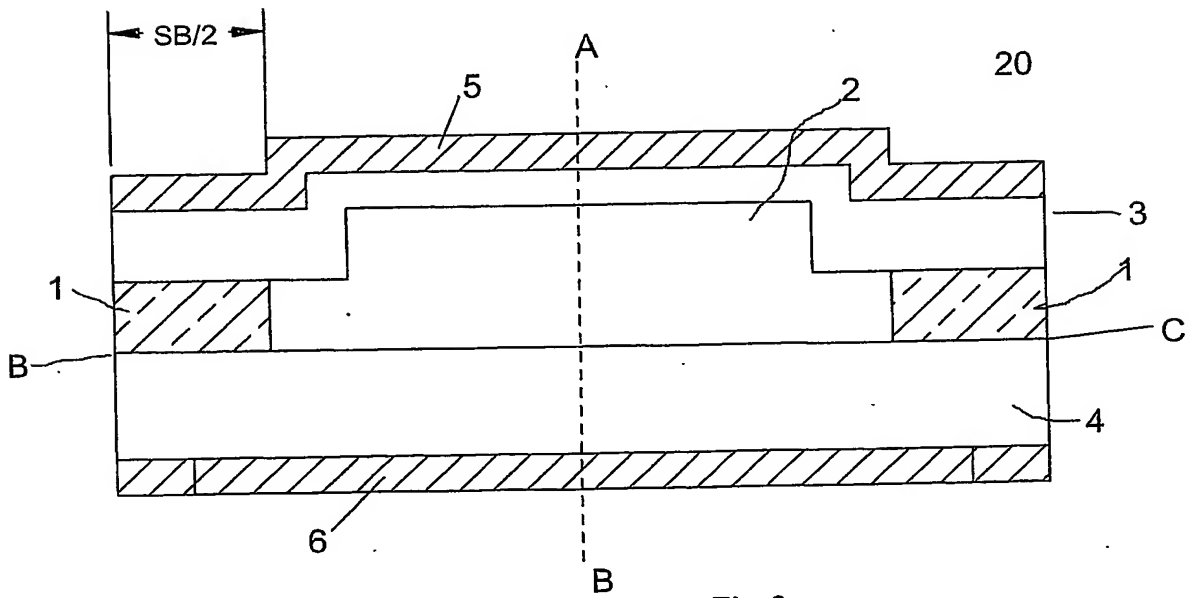


Fig.2

2/4

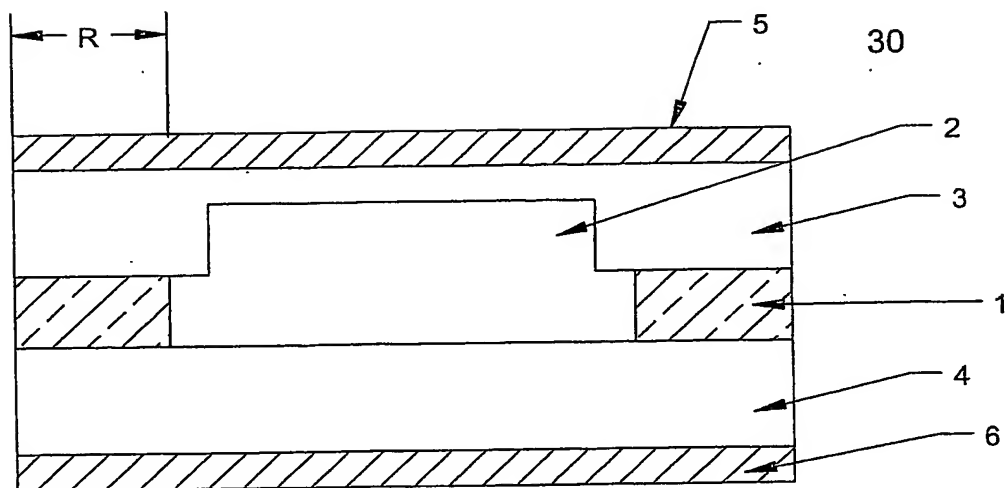


Fig.3

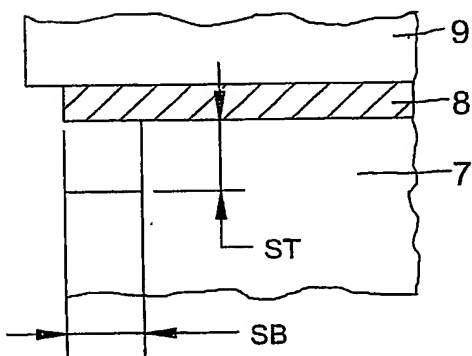


Fig.4a

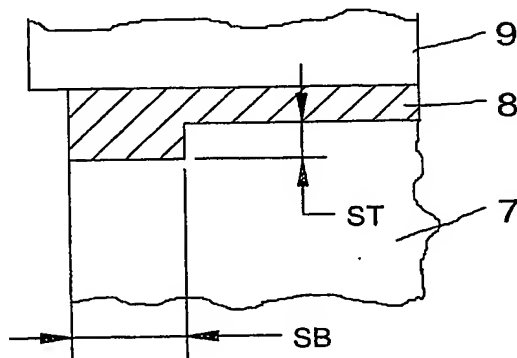


Fig.4b

Fig.4

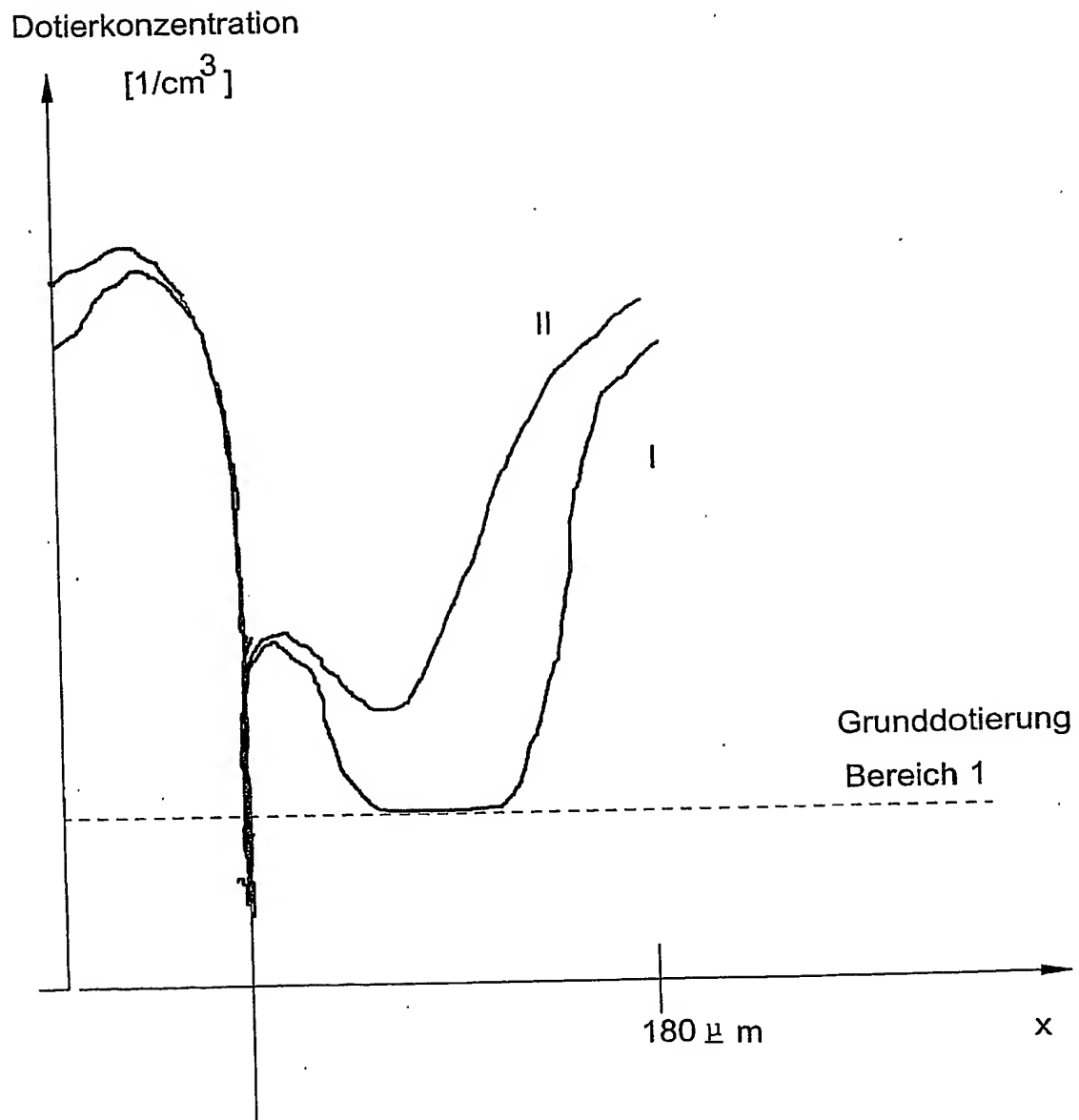


Fig.5

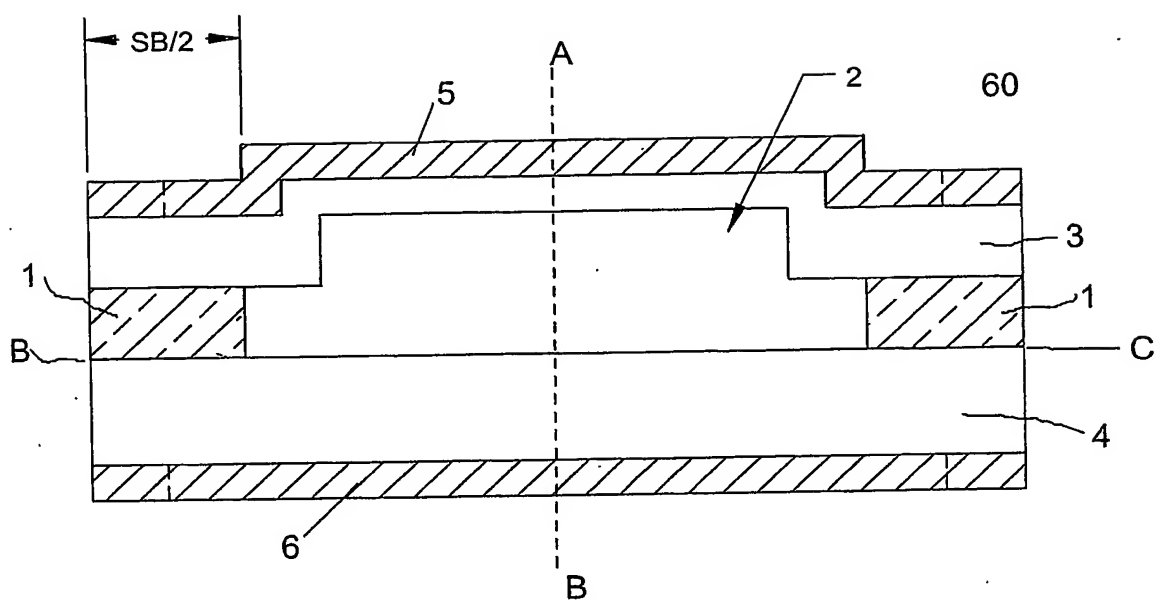


Fig.6

Bezugszeichenliste

5

- 1 dotierte Schicht
- 2 dotierte Schicht
- 3 dotierte Schicht
- 4 dotierte Schicht
- 5 Kontaktschicht
- 6 Kontaktschicht
- 7 Halbleitersubstrat
- 8 Lotschicht
- 9 Wärmesenke

15

- 10 Halbleiteranordnung
- 20 Halbleiteranordnung
- 30 Halbleiteranordnung
- 60 Halbleiteranordnung

20

- SB Sägebreite
- ST Sägetiefe
- R Rand

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.